

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

YOUNG-JIN YOON

Application No.:

Filed:

For: **Semiconductor Memory Device For
Reducing Data Accessing Time**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

COUNTRY	APPLICATION NUMBER	DATE OF FILING
Korea	10-2002-0086466	30 December 2002

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 7/15/03

Eric S. Hyman
Eric S. Hyman, Reg. No. 30,139

12400 Wilshire Blvd., 7th Floor
Los Angeles, California 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0086466
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

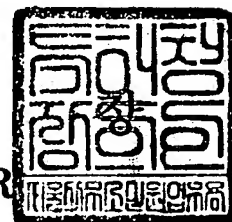
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 14 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	명세서 등 보정서
【수신처】	특허청장
【제출일자】	2003.02.10
【제출인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【사건과의 관계】	출원인
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【사건의 표시】	
【출원번호】	10-2002-0086466
【출원일자】	2002.12.30
【심사청구일자】	2002.12.30
【발명의 명칭】	데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치
【제출원인】	
【접수번호】	1-1-02-0435961-93
【접수일자】	2002.12.30
【보정할 서류】	명세서등
【보정할 사항】	
【보정대상항목】	별지와 같음
【보정방법】	별지와 같음
【보정내용】	별지와 같음
【취지】	특허법시행규칙 제13조·실용신안법시행규칙 제8조의 규정에의하여 위와 같 이 제출합니다. 대리인 특허법인 신성 (인)



1020020086466

출력 일자: 2003/5/16

【수수료】

【보정료】 0 원

【추가심사청구료】 0 원

【기타 수수료】 0 원

【합계】 0 원

【첨부서류】

1. 보정내용을 증명하는 서류[발명의 상세한 설명,
도면보정]_1통

【보정대상항목】 식별번호 17

【보정방법】 정정

【보정내용】

종래의 반도체 기억 장치에서는 셀로부터 데이터를 읽음에 있어 2비트 프리페치 방식이 적용되고 있고, 4비트 프리페치 방식의 적용이 고려되고 있다. 여기서, 2비트 프리페치라 함은, 하나의 리드 명령에 의하여 두개의 데이터를 각각 다른 버스를 통해 동시에 읽어 파이프래치에 저장하는 방식으로서, 출력시에는 이 두 개의 데이터를 클럭의 라이징 및 폴링에 맞춰 출력시키게 된다. 이 때, 두 개의 데이터를 동시에 읽어오는 것은 직렬적으로 읽어 올 수도 있고, 병렬적으로 읽어 올 수도 있다.

【보정대상항목】 식별번호 23

【보정방법】 정정

【보정내용】

도 2는 도 1에 보이는 전달게이트 1형 및 전달게이트 2형의 구체회로도이다. 도 2에 대해서는 당업자라면 개시된 회로도만으로 회로의 해석이 가능하므로 별도의 언급은 피하기로 한다.

【보정대상항목】 식별번호 27

【보정방법】 정정

【보정내용】

스타트 어드레스가 0인 경우, 파이프래치(110)의 제1 전치 라이징 엣지 출력라인(pre_rdo<0>)에 실린 첫번째 데이터를 라이징 엣지 출력라인(rdo)에 싣고, 출력 드라이버(130)에서는 라이징 엣지 출력라인(rdo)에 실린 첫번째 데이터를 제1 클럭 펄스의 라이징 엣지(rclk_do) 동안 출력시킨다. 이후, 스타트 어드레스에 대응하여 기수 데이터를 정렬하는 신호(isosebl_rd)의 토글로 인하여 파이프래치(110)의 제2 전치 라이징 엣지 출력라인(pre_rdo<1>)에 실린 세번째 데이터를 라이징 엣지 출력라인(rdo)에 싣고, 출력드라이버(130)에서는 라이징 엣지 출력라인(rdo)에 실린 세번째 데이터를 제2 클럭 펄스의 라이징 엣지(rclk_do) 동안 출력한다.

【보정대상항목】 식별번호 29

【보정방법】 정정

【보정내용】

한편, 스타트 어드레스가 0인 경우, 파이프래치(110)의 제1 전치 폴링 엣지 출력라인(pre_fdo<0>)에 실린 두번째 데이터는 폴링 엣지 출력라인(fdo)에 싣고, 출력 드라이버(130)에서는 라이징 엣지 출력라인(fdo)에 실린 두번째 데이터를 제1 클럭 펄스의 폴링 엣지(fclk_do) 동안 출력한다. 이후, 스타트 어드레스에 대응하여 우수 데이터를 정렬하는 신호(isosebl_fd)의 토글로 인하여 파이프

래치(110)의 제2 전치 폴링 엣지 출력라인(pre_fdo<1>)에 실린 네번째 데이터를 폴링 엣지 출력라인(fdo)에 싣고, 출력 드라이버(130)에서는 폴링 엣지 출력라인(fdo)에 실린 네번째 데이터를 제2 클럭 펄스의 폴링 엣지(fclk_do) 동안 출력한다.

【보정대상항목】 식별번호 42

【보정방법】 정정

【보정내용】

이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

【보정대상항목】 식별번호 44

【보정방법】 정정

【보정내용】

본 발명에 따른 제1 제어신호생성부(610)는 파이프래치(700)단으로 들어오는 데이터를 받아들이는 여부에 관한 정보를 갖는 파이프래치 인 신호(PIN)를 입력받는 인버터(611)와, 인버터(611)의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호(isoseb0_do)를 입력으로 하는 낸드게이트(612) 그리고 인버터(611)의 출력과 낸드게이트(612)의 출력을 입력으로 하는 낸드게이트(613)로 구성되어, 낸드게이트(612)로부터 피세소신호(psesob)와 낸드게이트(613)로부터 피소세신호(psoseb)를 출력한다. 한편, 본 발명에서 사용되는 신호들은 별도의 새로운 정의가 없는 한 종래기술에서 사용되는 신호들의 정의와 동일하다. 예를 들어, 스타트오드 스타트이븐 데이터 출력 제어신호(isoseb0_do)는 위 종래기술에서 사용된 신호의 정의와 동일하다.

【보정대상항목】 식별번호 45

【보정방법】 정정

【보정내용】

그리고, 제2 제어신호생성부(650)는 기수데이터정렬제어신호생성부(660)와 우수데이터정렬제어신호생성부(670)로 이루어진다.

【보정대상항목】 식별번호 47

【보정방법】 정정

【보정내용】

우수데이터정렬제어신호생성부(670)는 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호(fpout)를 입력으로 하는 인버터(671)와, 인버터(671)의 출력과 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호(isosebl_fd)를 입력으로 하는 낸드게이트(672)와, 인버터(671)의 출력과 낸드게이트(672)의 출력을 입력으로 하는 낸드게이트(673)와, 낸드게이트(673)의 출력을 반전시키는 인버터(674)와, 낸드게이트(672)의 출력을 반전시키는 인버터(675)와, 클럭펄스의 폴링 엣지에 동기되어 출력되는 폴링엣지동기신호(fclk_do)와 인버터(674)의 출력을 입력으로 하는 낸드게이트(676) 그리고 폴링엣지동기신호(fclk_do)와 인버터(675)의 출력을 입력으로 하는 낸드게이트(677)로 구성되어, 낸드게이트(676)로부터 선 우수 데이터 출력 제어 신호(fpout03_do)를, 낸드게이트(677)로부터 후 우수 데이터 출력 제어 신호(fpout12_do)를 각기 출력한다.

【보정대상항목】 식별번호 48

【보정방법】 정정

【보정내용】

도 7은 본 발명에 따른 반도체 기억 장치에서의 파이프래치 및 출력 드라이버에 관한 블록 구성도로서, 복수개의 파이프래치(700-0, 700-1, 700-2 및

700-3)는 각기 동일한 구성을 가지므로 그 중 하나에 대해서만 예를 들어 설명한다.

【보정대상항목】 식별번호 49

【보정방법】 정정

【보정내용】

본 발명의 파이프래치(700-0)는 제1 제어신호생성부(610)로부터 출력되는 제어신호에 의해 입력되는 데이터를 1차로 정렬하는 제1 데이터정렬부(710)와, 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치부(720) 그리고 제2 제어신호생성부(650)로부터 출력되는 제어신호에 의해 래치부(720)에 저장된 데이터를 2차로 정렬하여 출력하는 제2 데이터정렬부(730)로 구성된다.

【보정대상항목】 식별번호 51

【보정방법】 정정

【보정내용】

피소세신호(psoseb<0>)가 "L"상태이면 제1 및 제2 우수 출력라인(mxoutb_ev0, mxoutb_ev1)에 실린 데이터가 제1 데이터정렬부(710)과 래치부(720)을 거쳐 각각 제1 및 제2 전치 라이징 엡지 출력 라인(pre_rdo0, pre_rdo1)으로 넘어가고, 제1 및 제2 기수 출력 라인(mxoutb_od0, mxoutb_od1)에 실린 데이터가 제1 데이터정렬부(710)과 래치부(720)을 거쳐 각각 제1 및 제2 전치 폴링 엡지 출력 라인(pre_fdo0, pre_fdo1)으로 넘어간다.

【보정대상항목】 식별번호 52

【보정방법】 정정

【보정내용】

이후, 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)에 실린 데이터는 제2 제어신호생성부(650)로 부터 출력되는 선 기수 데이터 출력 제어 신호(rpout01_do<0>)와 후 기수 데이터 출력 제어 신호(rpout23_do<0>)에 의해 제2 데이터정렬부(730)을 거쳐 출력 드라이버(800)의 상측 입력라인(updo)으로 차례로 출력되고 나서, 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)에 실린 데이터가 제2 제어신호생성부(650)로 부터 출력되는 선 우수 데이터 출력 제어 신호(fpout03_do<0>)와 후 우수 데이터 출력 제어 신호(fpout12_do<0>)에 의해 제2 데이터정렬부(730)을 거쳐 순차적으로 출력 드라이버(800)의 하측 입력라인(dndo)으로 출력된다.

【보정대상항목】 식별번호 53

【보정방법】 정정

【보정내용】

반대로, 피세소신호(psesob<0>)가 "L"상태이면 제1 및 제2 기수 출력 라인(mxoutb_od0, mxoutb_od1)에 실린 데이터가 제1 데이터정렬부(710)와 래치부(720)을 거쳐 각각 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)으로 넘어가고, 제1 및 제2 우수 출력라인(mxoutb_ev0, mxoutb_ev1)에 실린 데이

터가 제1 데이터정렬부(710)와 래치부(720)을 거쳐 각각 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)으로 넘어간다.

【보정대상항목】 식별번호 54

【보정방법】 정정

【보정내용】

이후, 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)에 실린 데이터는 제2 제어신호생성부(650)로부터 출력되는 선 기수 데이터 출력 제어 신호(rpout01_do<0>)와 후 기수 데이터 출력 제어 신호(rpout23_do<0>)에 의해 제2 데이터정렬부(730)를 거쳐 출력 드라이버(800)의 상측 입력라인(updo)으로 차례로 출력되고 나서, 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)에 실린 데이터는 제2 제어신호생성부(650)로부터 출력되는 선 우수 데이터 출력 제어 신호(fpout03_do<0>)와 후 우수 데이터 출력 제어 신호(fpout12_do<0>)에 의해 제2 데이터정렬부(730)를 거쳐 출력 드라이버(800)의 하측 입력라인(dndo)으로 순차 출력된다.

【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0014
【제출일자】 2002.12.30
【발명의 명칭】 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치
【발명의 영문명칭】 Semiconductor Memory Device for reducing data alignment time
【출원인】
【명칭】 주식회사 하이닉스반도체
【출원인코드】 1-1998-004569-8
【대리인】
【명칭】 특허법인 신성
【대리인코드】 9-2000-100004-8
【지정된변리사】 변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】 2000-049307-2
【발명자】
【성명의 국문표기】 윤영진
【성명의 영문표기】 YOON, Young Jin
【주민등록번호】 720306-1058317
【우편번호】 467-850
【주소】 경기도 이천시 대월면 사동리 현대6차아파트 605-402
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 10 면 10,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 8 항 365,000 원
【합계】 404,000 원

1020020086466

출력 일자: 2003/5/16

【첨부서류】

1. 요약서: 명세서(도면)_1통

【요약서】

【요약】

본 발명은 파이프래치와 출력 드라이버 내에서 데이터의 정렬시간을 최소화할 수 있는 반도체 기억 장치를 제공하기 위하여, 파이프래치 인 신호와 스타트오드 스타트인 본 데이터 출력 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호생성수단; 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하고, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성수단; 상기 제1 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어되어 입력되는 데이터를 정렬하는 제1 데이터정렬수단; 상기 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치수단; 및 상기 래치부에 저장된 데이터를 2차적으로 정렬하여 출력하는 제2 데이터정렬수단을 포함할 수 있다.

【대표도】

도 7

【색인어】

반도체 메모리 소자, 파이프래치, 출력 드라이버, 전달게이트, 프리페치

【명세서】

【발명의 명칭】

데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치{Semiconductor Memory Device for reducing data alignment time}

【도면의 간단한 설명】

도 1은 종래기술에 따른 반도체 기억 장치에서의 파이프래치 및 출력 드라이버에 대한 블록 구성도,

도 2는 도 1에 보이는 전달게이트 1형 및 전달게이트 2형의 구체회로도,

도 3은 도 1의 파이프래치 내 제1 및 제2 정렬부분에서의 시뮬레이션 결과 파형도,

도 4는 도 1의 파이프래치 및 출력 드라이버에서의 기수번째 데이터의 정렬을 위한 부분에 대한 시뮬레이션 결과 파형도,

도 5는 도 1의 파이프래치 및 출력 드라이버에서의 우수번째 데이터의 정렬을 위한 부분에 대한 시뮬레이션 결과 파형도,

도 6a는 본 발명의 제1 제어신호생성부에 대한 구체 회로도,

도 6b는 본 발명의 제2 제어신호생성부에 대한 구체 회로도,

도 7은 본 발명에 따른 반도체 기억 장치에서의 파이프래치 및 출력 드라이버에 관한 블록 구성도,

도 8은 본 발명의 제1 및 제2 제어신호생성부에서 사용되는 구체회로도 및 논리상태도.

* 도면의 주요 부분에 대한 설명 *

610: 제1 제어신호생성부

650: 제2 제어신호생성부

660: 기수데이터정렬제어신호생성부

670: 우수데이터정렬제어신호생성부

710: 제1 데이터정렬부

720: 래치부

730: 제2 데이터정렬부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 기억 장치에 관한 것으로서, 구체적으로는 파이프래치 내에서 프리페치한 4비트의 데이터를 정렬하는데 필요로 하는 시간을 최소화할 수 있는 반도체 기억 장치에 관한 것이다.

<17> 종래의 반도체 기억 장치에서는 2비트 프리페치 방식이 적용되고 있고, 4비트 프리페치 방식의 적용이 고려되고 있다. 여기서, 2비트 프리페치라 함은, 하나의 리드 명령에 의하여 두개의 데이터를 각각 다른 버스를 통해 동시에 읽어 파이프래치에 저장하는 방식으로, 출력시에는 이 두 개의 데이터를 클럭의 라이징 및 폴링에 맞춰 출력시키게 된다. 이 때, 두개의 데이터를 동시에 읽어오는 것은 직렬적으로 읽어 올 수도 있고, 병렬적으로 읽어 올 수도 있다.

<18> 도 1은 종래기술에 따른 반도체 기억 장치에서의 파이프래치 및 출력 드라이버에 대한 블록 구성도이다.

<19> 여기서 예로 든 종래의 4비트 프리페치를 수행하는 반도체 기억 장치는 하나의 리드 명령에 의하여 4개의 직렬 데이터 입력을 4개의 글로벌 입출력 라인(GIO)에 실게 된다.

<20> 종래의 반도체 기억 장치내 파이프래치단은 4개의 파이프래치 (pipelatch<0:3>)로 구성되며, 파이프래치단(110)으로 들어오는 데이터를 받아들일지의 여부를 제어하는 파이프래치 인 신호(PIN<0:3>)가 "L"상태로 되면, 외부에서 대기중인 멀티플렉서 출력 라인(Mxoutb)에 실린 데이터를 받아들인다.

<21> 종래기술에 따르면 파이프래치를 통과하는 동안 멀티플렉서 출력 라인(mxoutb)에 실린 데이터는 4회의 정렬을 하게 되고, 출력 드라이버(130)에서 1회의 정렬을 함으로써 뱅크로부터 읽혀진 데이터는 반도체 기억 장치의 외부로 출력되기까지 전체 5회의 정렬을 거치게 된다. 1차로 파이프래치 인 신호(PIN<0:3>)에 따라 4개의 파이프래치 중 한 곳으로 실리게 되고, 2차로 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0_do)에 따라 정렬되며, 3차로 스타트 어드레스에 의하여 기수번째 데이터를 정렬하는 신호(isoseb1_rd) 및 스타트 어드레스에 의하여 우수번째 데이터를 정렬하는 신호(isoseb1_fd)에 의해 정렬되고, 4차로 파이프래치에 저장되어 있던 데이터를 출력시키기 위한 출력제어신호(rpout, fpout)에 따라 파이프래치에 저장되어 있던 데이터가 라이징 엣지 출력라인(rdo)과 폴링 엣지 출력라인(fdo)에 실리게 되며, 출력 드라이버(130)에서 클럭 펄스의 라이징 엣지 신호(fclk_do) 혹은 폴링 엣지 신호(fclk_do)에 제어받아 외부로 출력된다.

- <22> 여기서, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0_do)는 파이프래치에 들어오는 데이터를 스타트 어드레스가 기수인지 우수인지에 따라 멀티플렉서 출력 라인에 실린 데이터를 정렬하기 위한 제어신호이다.
- <23> 도 2는 도 1에 보이는 전달게이트 1형 및 전달게이트 2형의 구체회로도이다. 도 2에 대해서는 당업자라면 개시된 회로도만으로도 회로의 해석이 가능하므로 별도의 언급은 피하기로 한다.
- <24> 도 3은 도 1의 파이프래치 내 제1 및 제2 정렬부분에서의 시뮬레이션 결과 파형도이다.
- <25> 종래의 파이프래치는 파이프래치 인 신호(PIN)가 "L"상태이면 멀티플렉서 출력 라인(mxoutb)에 실린 데이터를 받아들이다가, 파이프래치 인 신호(PIN)가 "H"상태로 천이 되면 더 이상 외부의 데이터를 받아들이지 않게 되고, 스타트오드 스타트이븐 데이터출력 제어신호(isoseb0_do)를 이용하여 스타트 어드레스가 우수인지 기수인지에 따라 데이터를 멀티플렉싱하여 전치 라이징 엣지 출력 라인(pre_rdo) 혹은 전치 폴링 엣지 출력 라인(pre_fdo)에 실리는 것을 알 수 있다.
- <26> 도 4는 도 1의 파이프래치 및 출력 드라이버에서의 기수번째 데이터의 정렬을 위한 부분에 대한 시뮬레이션 결과 파형도이다.

【청구항 5】

제3항에 있어서, 상기 우수데이터정렬제어신호생성부는,

우수번째 데이터를 출력하기 위한 우수데이터인에이블신호를 입력으로 하는 제1 인버터;

상기 제1 인버터의 출력과 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호를 입력으로 하는 제1 낸드게이트;

상기 제1 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트;

상기 제2 낸드게이트의 출력을 반전시키는 제2 인버터;

상기 제1 낸드게이트의 출력을 반전시키는 제3 인버터;

클럭펄스의 폴링 엣지에 동기되어 출력되는 폴링엣지동기신호와 상기 제2 인버터의 출력을 입력으로 하는 제3 낸드게이트; 및

상기 폴링엣지동기신호와 상기 제3 인버터의 출력을 입력으로 하는 제4 낸드게이트

를 포함하고,

상기 제3 낸드게이트로부터 선 우수 데이터 출력 제어 신호를, 상기 제4 낸드게이트로부터 후 우수 데이터 출력 제어 신호를 각기 출력하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

【청구항 6】

제2항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 데이터정렬수단은,

상기 피소세신호에 제어받아 제1 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제1 전달게이트;

상기 피소세신호에 제어받아 제1 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제2 전달게이트;

상기 피소세신호에 제어받아 제2 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제3 전달게이트; 및

상기 피소세신호에 제어받아 제2 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제4 전달게이트

를 포함하고,

상기 제1 전달게이트의 출력단은 상기 제2 전달게이트의 출력단에, 상기 제3 전달게이트의 출력단은 상기 제4 전달게이트의 출력단에 각각 접속되는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

【청구항 7】

제6항에 있어서, 상기 래치수단은,

상기 제1 전달게이트의 출력과 역병렬접속된 복수의 제1 인버터; 및

상기 제3 전달게이트의 출력과 역병렬접속된 복수의 제2 인버터

를 포함하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

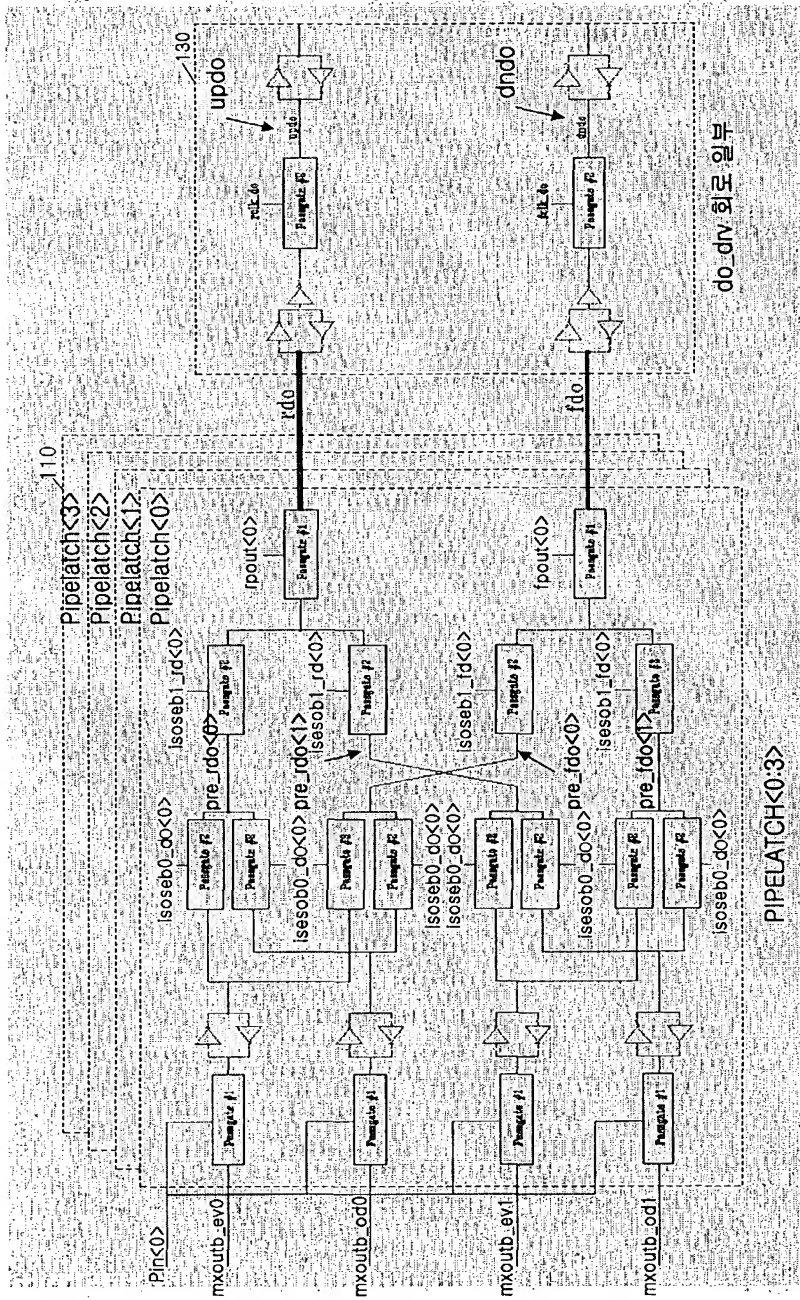
【청구항 8】

제7항에 있어서, 상기 제2 데이터정렬수단은,

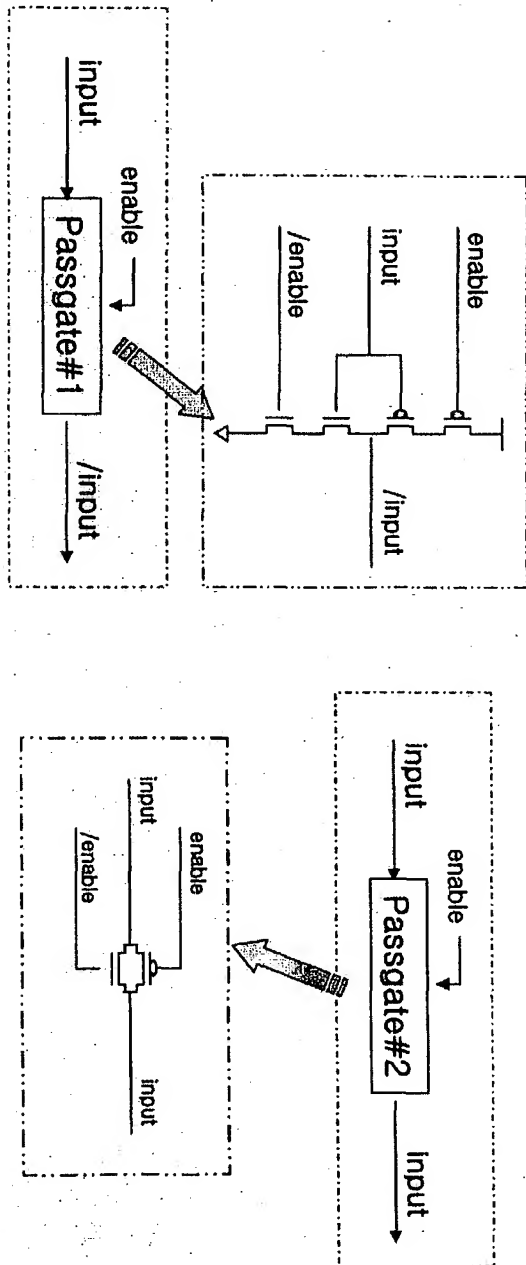
상기 선 기수 데이터 출력 제어 신호에 제어받아 상기 복수의 제1 인버터로부터 입력되는 데이터를 출력하고, 상기 후 기수 데이터 출력 제어 신호에 제어받아 상기 복수의 제2 인버터로부터 입력되는 데이터를 출력하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

【도면】

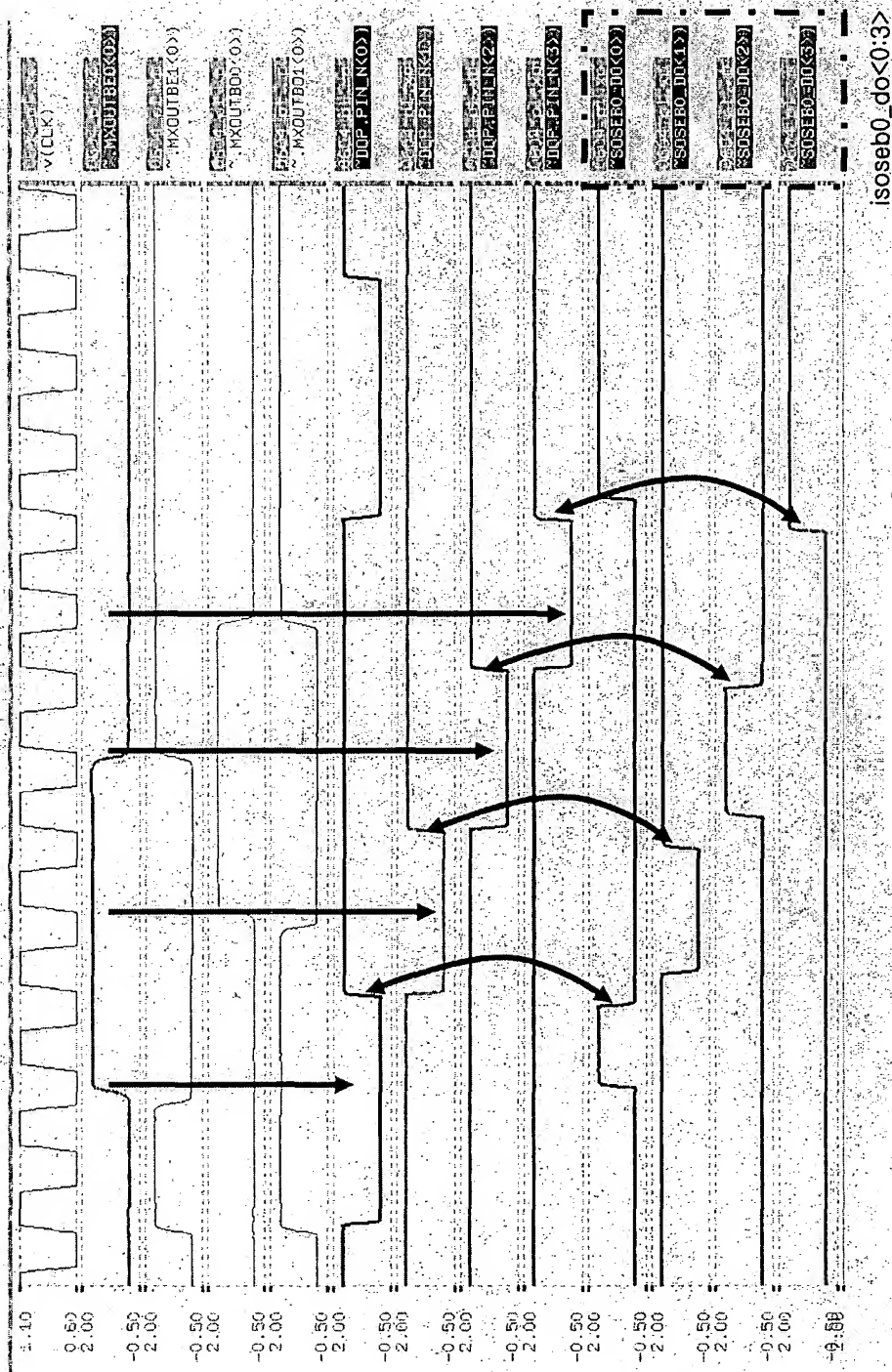
【도 1】



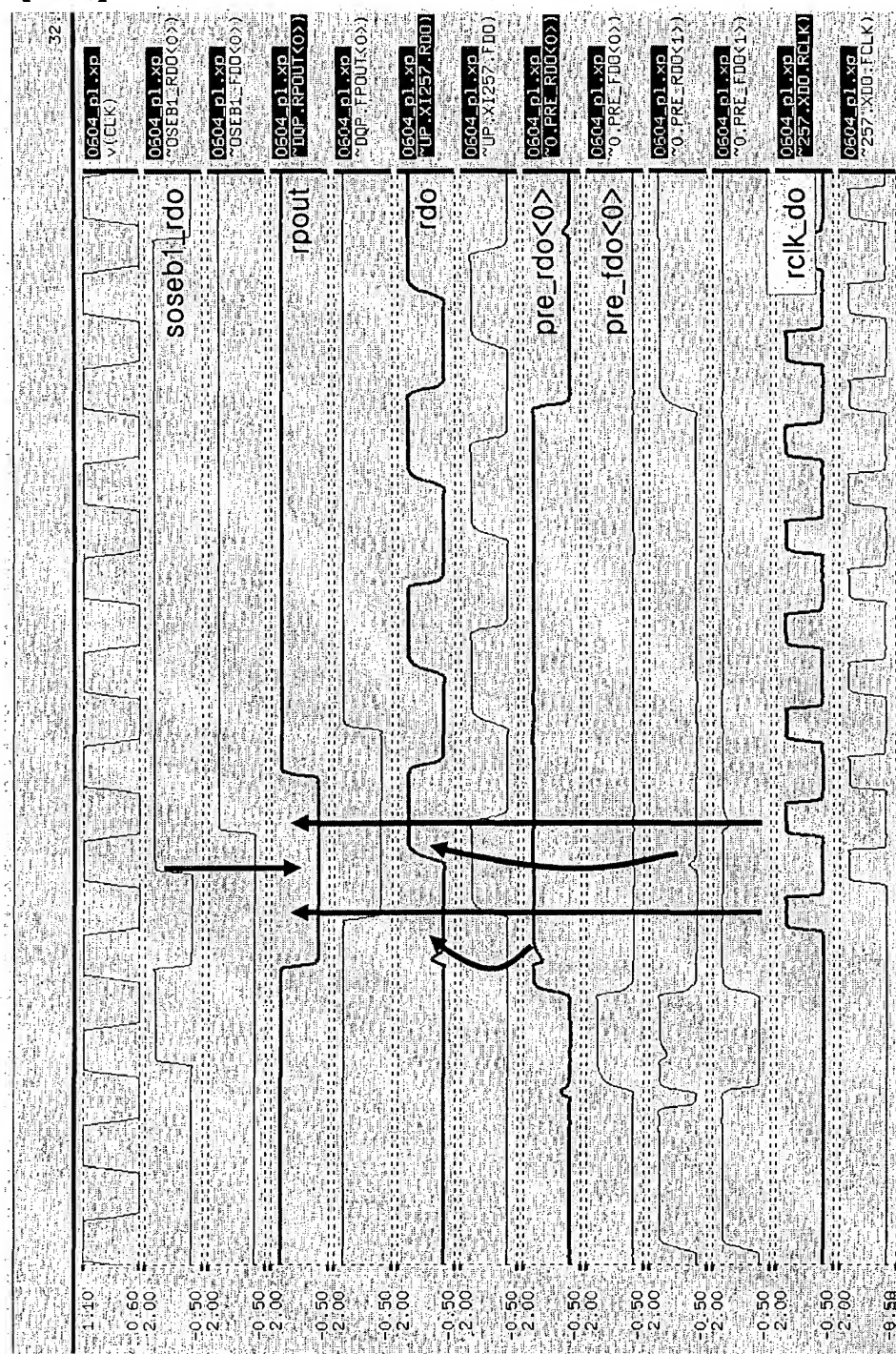
【도 2】



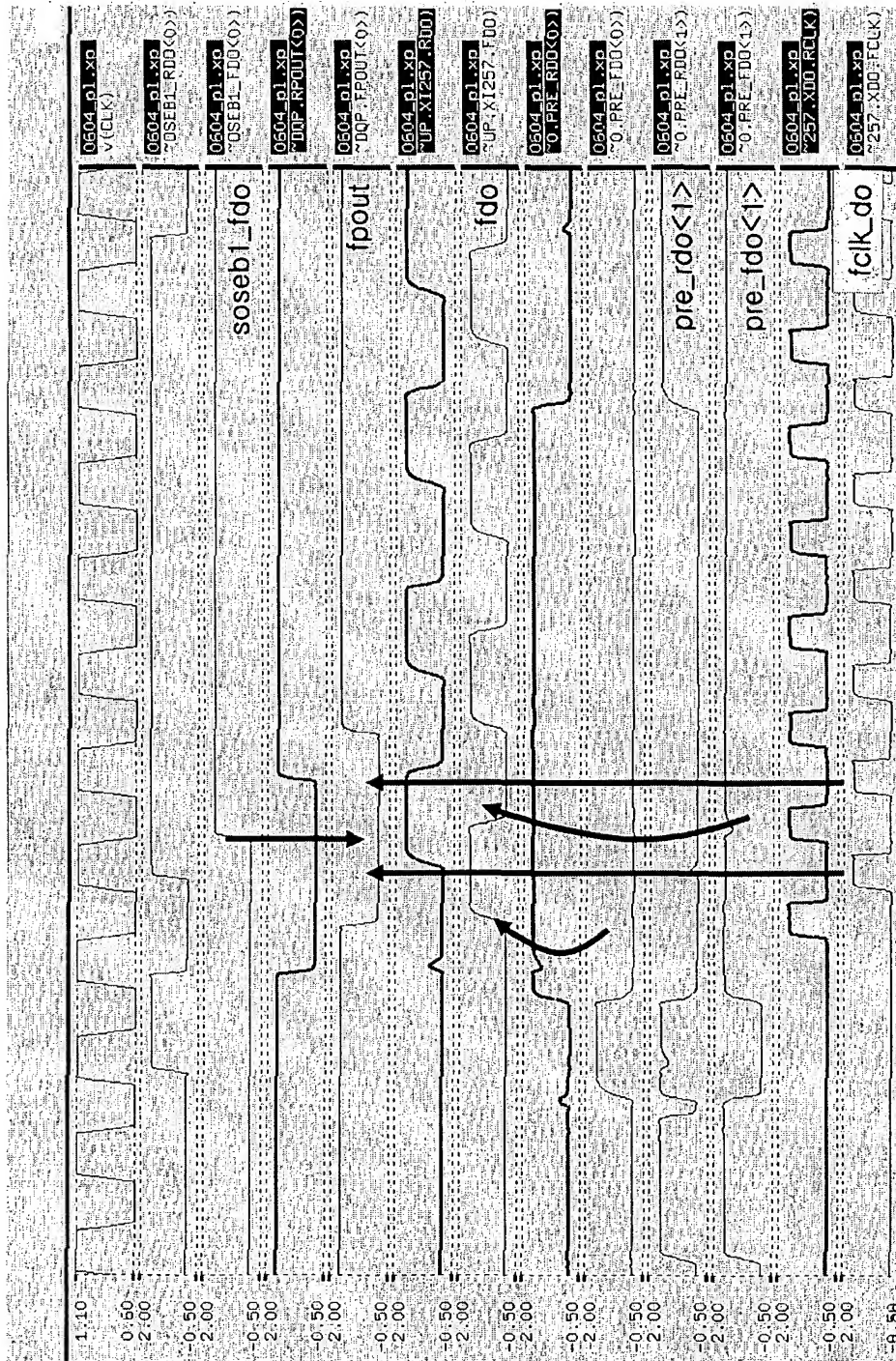
【도 3】



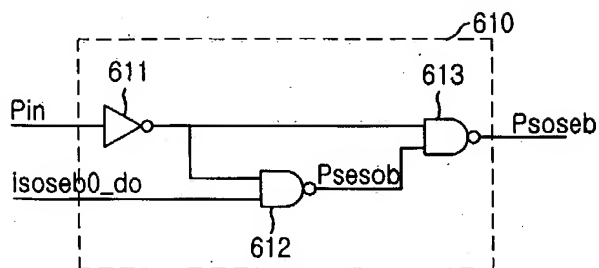
【도 4】



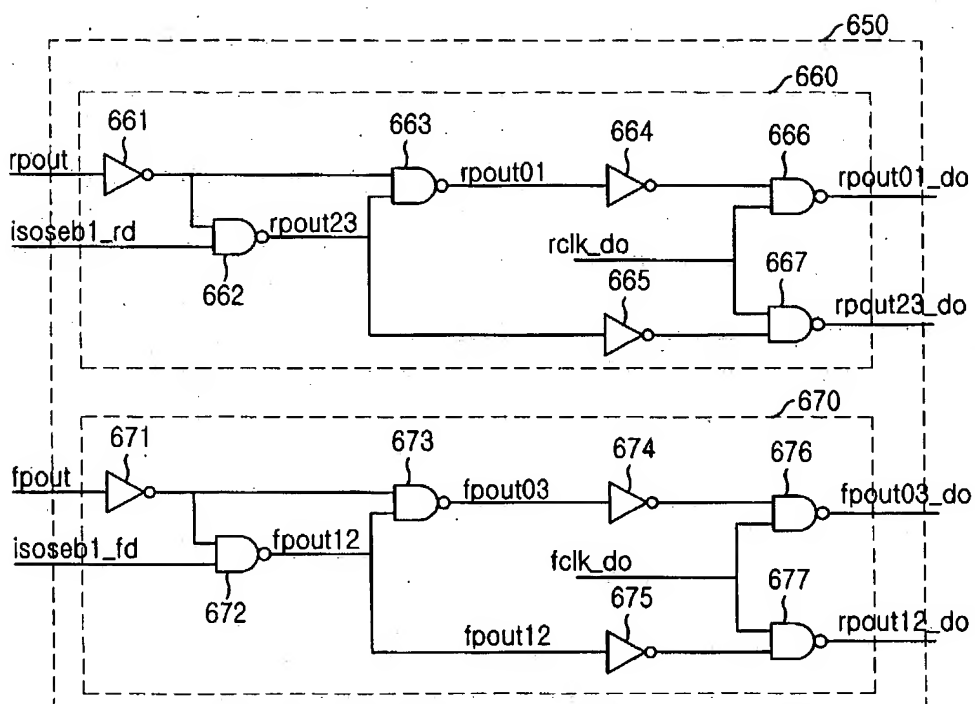
【도 5】



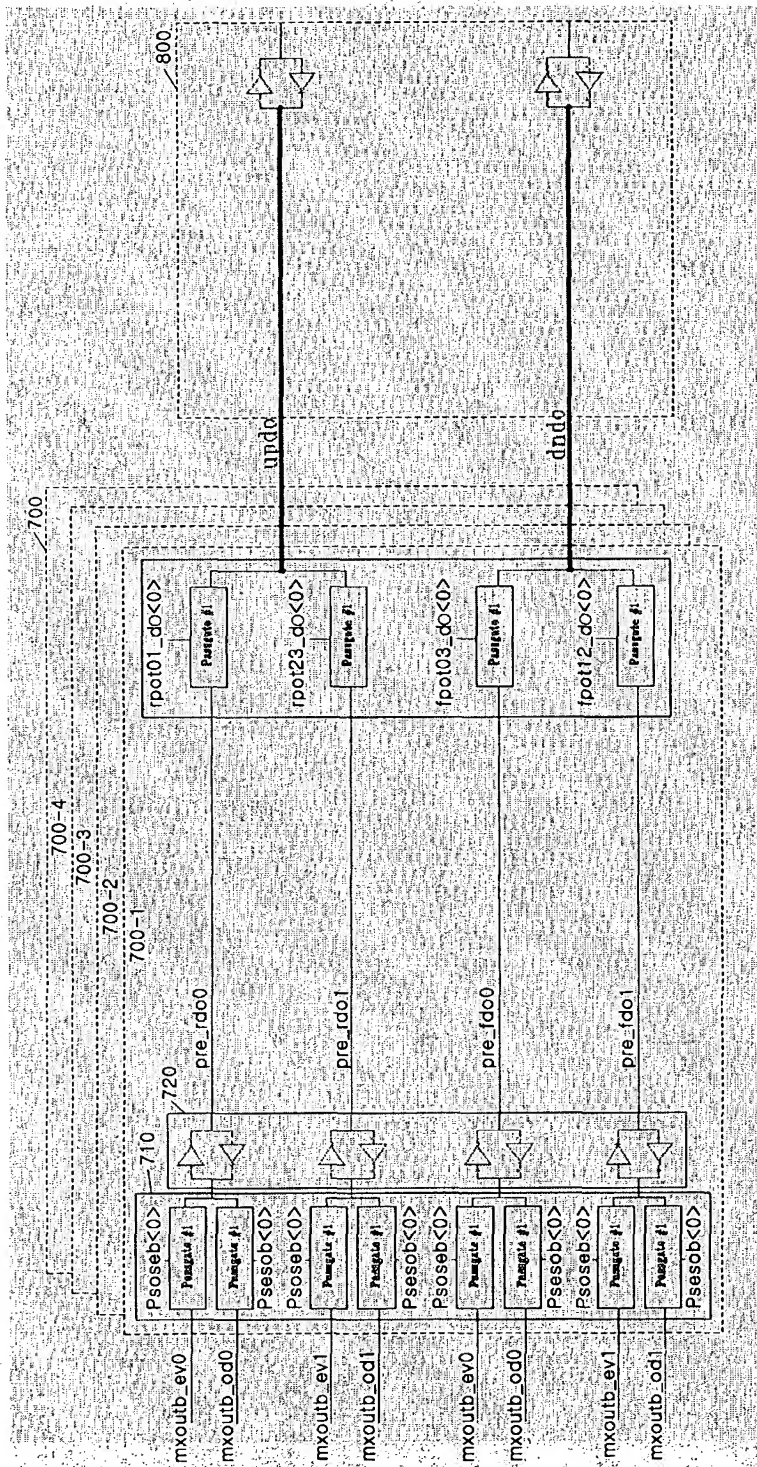
【도 6a】



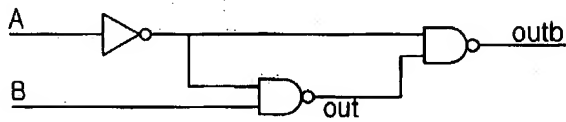
【도 6b】



【도 7】



【도 8】



	A:"H" B:don't care	A:"L" B:"H"	A:"L" B:"L"
out	High	Low	High
outb	High	High	Low

<27> 스타트 어드레스가 0인 경우, 파이프래치(110)의 제1 전치 라이징 엣지 출력라인(pre_rdo<0>)에 실린 첫번째 데이터를 라이징 엣지 출력라인(rdo)에 신고, 출력 드라이버(130)에서는 라이징 엣지 출력라인(rdo)에 실린 첫번째 데이터를 제1 클럭 펄스의 라이징 엣지(rclk_do) 동안 출력시킨다. 이후, 스타트 어드레스가 무엇인가에 따라 기수 데이터를 정렬하는 신호(isoseb1_rd)의 토글로 인하여 파이프래치(110)의 제2 전치 라이징 엣지 출력라인(pre_rdo<1>)에 실린 세번째 데이터를 라이징 엣지 출력라인(rdo)에 신고, 출력드라이버(130)에서는 라이징 엣지 출력라인(rdo)에 실린 세번째 데이터를 제2 클럭 펄스의 라이징 엣지(rclk_do) 동안 출력한다.

<28> 도 5는 도 1의 파이프래치 및 출력 드라이버에서의 우수번째 데이터의 정렬을 위한 부분에 대한 시뮬레이션 결과 파형도이다.

<29> 한편, 스타트 어드레스가 0인 경우, 파이프래치(110)의 제1 전치 폴링 엣지 출력라인(pre_fdo<0>)에 실린 두번째 데이터는 폴링 엣지 출력라인(fdo)에 실리고, 출력 드라이버(130)에서는 라이징 엣지 출력라인(fdo)에 실린 두번째 데이터를 제1 클럭 펄스의 폴링 엣지(fclk_do) 동안 출력한다. 이후, 스타트 어드레스가 무엇인가에 따라 우수 데이터를 정렬하는 신호(isoseb1_fd)의 토글로 인하여 파이프래치(110)의 제2 전치 폴링 엣지 출력라인(pre_fdo<1>)에 실린 네번째 데이터를 폴링 엣지 출력라인(fdo)에 신고, 출력 드라이버(130)에서는 폴링 엣지 출력라인(fdo)에 실린 네번째 데이터를 제2 클럭 펄스의 폴링 엣지(fclk_do) 동안 출력한다.

<30> 결과적으로, 종래기술에 따르면, 파이프래치(110)를 통과하는 동안 출력 라인(mxoutb)에 실린 데이터가 4번 정렬하게 되고, 출력 드라이버(130)에서 1번 정렬하게 되어 전체 5번의 정렬이 수행된다.

<31> 그러나, 이와 같이 파이프래치와 출력 드라이버에서 5차에 걸쳐 정렬을 수행하는 경우 지연시간이 길어지는 심각한 문제를 야기한다. 즉, 한번의 정렬을 할 때마다 그에 따른 마진을 필요로 하는데 예를 들어 한번 정렬할 때마다 300 피코 초(ps)의 마진을 둔다고 예상하면 5번의 정렬에는 1.5 나노 초(ns)의 시간이 소요된다. 그리고, 파이프래치를 통과하는 시간은 어드레스 액세스 타임(tAA)에 포함되므로 결국 어드레스 액세스 타임이 커지게 되는 문제를 유발한다.

【발명이 이루고자 하는 기술적 과제】

<32> 상기의 문제점을 해결하기 위하여 본 발명은 파이프래치와 출력 드라이버 내에서 데이터의 정렬시간을 최소화할 수 있는 반도체 기억 장치를 제공함에 목적이 있다.

【발명의 구성 및 작용】

<33> 상기의 목적을 달성하기 위한 본 발명의 반도체 기억 장치는, 파이프래치 인 신호와 스타트오드 스타트이븐 데이터 출력 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호생성수단; 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하고, 우수번째 데이터를 출력하기 위한 우수테

이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성수단; 상기 제1 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어되어 입력되는 데이터를 정렬하는 제1 데이터정렬수단; 상기 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치수단; 및 상기 래치부에 저장된 데이터를 2차적으로 정렬하여 출력하는 제2 데이터정렬수단을 포함할 수 있다.

<34> 또한, 본 발명의 상기 제1 제어신호생성수단은, 상기 파이프래치 인 신호를 입력받는 인버터; 상기 인버터의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호를 입력으로 하는 제1 낸드게이트; 및 상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트를 포함하고, 상기 제1 낸드게이트로부터의 피세소신호와 상기 제2 낸드게이트로부터의 피소세신호를 출력할 수 있다. 여기서 피세소신호와 피소세신호는 아래에서 언급하기로 한다.

<35> 또한, 본 발명의 상기 제2 제어신호생성수단은, 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 기수데이터정렬제어신호생성부; 및 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 우수데이터정렬제어신호생성부를 포함할 수 있다.

<36> 또한, 본 발명의 상기 기수데이터정렬제어신호생성부는, 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호를 입력으로 하는 제1 인버터; 상기 제1 인버터의 출력과 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호를 입력으로

하는 제1 낸드게이트; 상기 제1 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트; 상기 제2 낸드게이트의 출력을 반전시키는 제2 인버터; 상기 제1 낸드게이트의 출력을 반전시키는 제3 인버터; 클럭펄스의 라이징 엣지에 동기되어 출력되는 라이징엣지동기신호와 상기 제2 인버터의 출력을 입력으로 하는 제3 낸드게이트; 및 상기 라이징엣지동기신호와 상기 제3 인버터의 출력을 입력으로 하는 제4 낸드게이트를 포함하고, 상기 제3 낸드게이트로부터 선 기수 데이터 출력 제어 신호를, 상기 제4 낸드게이트로부터 후 기수 데이터 출력 제어 신호를 각기 출력한다.

<37> 또한, 본 발명의 상기 우수데이터정렬제어신호생성부는, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호를 입력으로 하는 제1 인버터; 상기 제1 인버터의 출력과 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호를 입력으로 하는 제1 낸드게이트; 상기 제1 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트; 상기 제2 낸드게이트의 출력을 반전시키는 제2 인버터; 상기 제1 낸드게이트의 출력을 반전시키는 제3 인버터; 클럭펄스의 폴링 엣지에 동기되어 출력되는 폴링엣지동기신호와 상기 제2 인버터의 출력을 입력으로 하는 제3 낸드게이트; 및 상기 폴링엣지동기신호와 상기 제3 인버터의 출력을 입력으로 하는 제4 낸드게이트를 포함하고, 상기 제3 낸드게이트로부터 선 우수 데이터 출력 제어 신호를, 상기 제4 낸드게이트로부터 후 우수 데이터 출력 제어 신호를 각기 출력한다.

<38> 또한, 본 발명의 상기 제1 데이터정렬수단은, 상기 피소세신호에 제어받아 제1 멀티플렉서 우수 데이터 출력라인에 실린 데이터를 출력하기 위한 제1 전달게이트; 상기 피소세신호에 제어받아 제1 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제2 전달게이트; 상기 피소세신호에 제어받아 제2 멀티플렉서 우수 데이터 출력라인에

인에 실린 데이터를 출력하기 위한 제3 전달게이트; 및 상기 피세소신호에 제어받아 제2 멀티플렉서 기수 데이터 출력라인에 실린 데이터를 출력하기 위한 제4 전달게이트를 포함하고, 상기 제1 전달게이트의 출력단은 상기 제2 전달게이트의 출력단에, 상기 제3 전달게이트의 출력단은 상기 제4 전달게이트의 출력단에 각각 접속된다.

<39> 또한, 본 발명의 상기 래치수단은, 상기 제1 전달게이트의 출력과 역병렬접속된 복수의 제1 인버터; 및 상기 제3 전달게이트의 출력과 역병렬접속된 복수의 제2 인버터를 포함한다.

<40> 또한, 본 발명의 상기 제2 데이터정렬수단은, 상기 선 기수 데이터 출력 제어 신호에 제어받아 상기 복수의 제1 인버터로부터 입력되는 데이터를 출력하고, 상기 후 기수 데이터 출력 제어 신호에 제어받아 상기 복수의 제2 인버터로부터 입력되는 데이터를 출력한다.

<41> 본 발명의 구성에 따라 반도체 기억 장치내 파이프래치와 출력 드라이버에서의 정렬 횟수를 획기적으로 축소시키는 것이 가능하다.

<42> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐

이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

<43> 도 6a 및 도 6b는 본 발명의 파이프래치에 사용되는 제어신호를 생성하기 위한 제어신호 생성부의 구체회로도이다. 도 6a는 제1 제어신호생성부에 대한 구체적인 회로이고, 도 6b는 제2 제어신호생성부에 대한 구체적인 회로이다.

<44> 본 발명에 따른 제1 제어신호생성부(610)는 파이프래치 인 신호(PIN)를 입력받는 인버터(611)와, 인버터(611)의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호(isoseb0_do)를 입력으로 하는 낸드게이트(612) 그리고 인버터(611)의 출력과 낸드게이트(612)의 출력을 입력으로 하는 낸드게이트(613)로 구성되어, 낸드게이트(612)로부터 피소세신호(psesob)와 낸드게이트(613)로부터 피소세신호(psoseb)를 출력한다.

<45> 한편, 제2 제어신호생성부(650)는 기수데이터정렬제어신호생성부(660)와 우수데이터정렬제어신호생성부(670)로 이루어진다.

<46> 기수데이터정렬제어신호생성부(660)는 기수번째 데이터를 출력하기 위한 기수데이터인에이블신호(rpout)를 입력으로 하는 인버터(661)와, 인버터(661)의 출력과 스타터드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호(isoseb1_rd)를 입력으로 하는 낸드게이트(662)와, 인버터(661)의 출력과 낸드게이트(662)의 출력을 입력으로 하는 낸드게이트(663)와, 낸드게이트(663)의 출력을 반전시키는 인버터(664)와, 낸드게이트(662)의 출력을 반전시키는 인버터(665)와, 클럭펄스의 라이징 엣지에 동기되어 출력되는 라이징엣지동기신호(rclk_do)와 인버터(664)의 출력을 입력으로 하는

낸드게이트(666) 그리고 라이징엣지동기신호(rclk_do)와 인버터(665)의 출력을 입력으로 하는 낸드게이트(667)로 구성되어, 낸드게이트(666)로부터 선 기수 데이터 출력 제어 신호(rpout01_do)를, 낸드게이트(667)로부터 후 기수 데이터 출력 제어 신호(rpout23_do)를 각기 출력한다.

<47> 우수데이터정렬제어신호생성부(936)는 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호(fpout)를 입력으로 하는 인버터(671)와, 인버터(671)의 출력과 스타터드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호(isoseb1_fd)를 입력으로 하는 낸드게이트(672)와, 인버터(671)의 출력과 낸드게이트(672)의 출력을 입력으로 하는 낸드게이트(673)와, 낸드게이트(673)의 출력을 반전시키는 인버터(674)와, 낸드게이트(672)의 출력을 반전시키는 인버터(675)와, 클럭펄스의 폴링 엣지에 동기되어 출력되는 폴링엣지동기신호(fclk_do)와 인버터(674)의 출력을 입력으로 하는 낸드게이트(676) 그리고 폴링엣지동기신호(fclk_do)와 인버터(675)의 출력을 입력으로 하는 낸드게이트(677)로 구성되어, 낸드게이트(676)로부터 선 우수 데이터 출력 제어 신호(fpout03_do)를, 낸드게이트(677)로부터 후 우수 데이터 출력 제어 신호(fpout12_do)를 각기 출력한다.

<48> 도 7은 본 발명에 따른 반도체 기억 장치에서의 파이프래치 및 출력 드라이버에 관한 블록 구성도이다.

<49> 본 발명의 파이프래치(700)는 제1 제어신호생성부(610)로부터 출력되는 제어신호에 의해 입력되는 데이터를 1차로 정렬하는 제1 데이터정렬부(710)와, 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치부(720) 그리고 제2 제어신호생성부(650)로부터

터 출력되는 제어신호에 의해 래치부(720)에 저장된 데이터를 2차로 정렬하여 출력하는 제2 데이터정렬부(730)로 구성된다.

<50> 여기서, 이들에 대한 동작을 설명하면 다음과 같다.

<51> 피소세신호(psoseb)가 "L"이면 제1 및 제2 우수 출력라인(mxoutb_ev0, mxoutb_ev1)에 실린 데이터가 각각 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)으로 넘어가고, 제1 및 제2 기수 출력 라인(mxoutb_od0, mxoutb_od1)에 실린 데이터가 각각 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)으로 넘어간다.

<52> 이후, 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)에 실린 데이터는 제2 제어신호생성부(730)로 부터 출력되는 선 기수 데이터 출력 제어 신호(rpout01_do<0>)와 후 기수 데이터 출력 제어 신호(rpout23_do<0>)에 의해 출력 드라이버의 상측 입력라인(updo)으로 차례로 출력되고, 이후 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)에 실린 데이터가 제2 제어신호생성부(730)로 부터 출력되는 선 우수 데이터 출력 제어 신호(fpout03_do<0>)와 후 우수 데이터 출력 제어 신호(fpout12_do<0>)에 의해 순차적으로 출력 드라이버의 하측 입력라인(dndo)으로 출력된다

<53> 반대로, 피세소신호(psesob)가 "L"이면 제1 및 제2 기수 출력 라인(mxoutb_od0, mxoutb_od1)에 실린 데이터가 각각 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)으로 넘어가고, 제1 및 제2 우수 출력라인(mxoutb_ev0, mxoutb_ev1)에 실린 데이터가 각각 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)으로 넘어간다.

<54> 이후, 제1 및 제2 전치 라이징 엣지 출력 라인(pre_rdo0, pre_rdo1)에 실린 데이터는 제2 제어신호생성부(730)로부터 출력되는 선 기수 데이터 출력 제어 신호(rpout01_do<0>)와 후 기수 데이터 출력 제어 신호(rpout23_do<0>)에 의해 출력 드라이버의 상측 입력라인(updo)으로 차례로 출력되고, 이후 제1 및 제2 전치 폴링 엣지 출력 라인(pre_fdo0, pre_fdo1)에 실린 데이터는 제2 제어신호생성부(730)로부터 출력되는 선 우수 데이터 출력 제어 신호(fpout03_do<0>)와 후 우수 데이터 출력 제어 신호(fpout12_do<0>)에 의해 출력 드라이버의 하측 입력라인(dndo)으로 순차 출력된다.

<55> 도 8은 본 발명의 제1 및 제2 제어신호생성부에서 사용되는 구체회로도 및 논리상태도이다. 도 8에 대해서는 당업자라면 개시된 회로도 및 상태도만으로도 분석이 가능하므로 본 발명의 본질을 흐리지 않도록 하기 위하여 별도의 언급은 피하기로 한다.

<56> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.

【발명의 효과】

<57> 상기의 구성에 따라 어드레스 액세스 타임이 줄게 되면, $t_{CKmin} * CL = t_{AA}$ (여기서, t_{AA} 는 하나의 클럭이 갖는 시간, CAS Latency는 읽기 명령이 들어간 클럭의 시점으로

부터 데이터가 나올 때까지의 클럭수를 의미)이므로 동일한 카스 레이턴시에서 더 빠른 속도를 갖는 반도체 기억 장치를 얻을 수 있다. 예를 들어, $t_{AA} = 18 \text{ ns}$, $CL = 3$ 인 반도체 기억 장치는 $t_{CKmin} = 6 \text{ ns}$, 즉 166MHZ 동작이 가능하나, t_{AA} 를 14ns로 줄이면, $t_{CKmin} = 4.66\text{ns}$, 즉 214MHZ 동작이 가능한 반도체 기억 장치를 구현할 수 있다.

【특허청구범위】**【청구항 1】**

파이프래치 인 신호와 스타트오드 스타트이븐 데이터 출력 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제1 제어신호생성수단;

기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하고, 우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 제2 제어신호생성수단;

상기 제1 제어신호생성수단으로부터 출력되는 제어신호에 의해 제어되어 입력되는 데이터를 정렬하는 제1 데이터정렬수단;

상기 제1 데이터정렬부로부터 출력된 데이터를 일시 저장하는 래치수단; 및

상기 래치부에 저장된 데이터를 2차적으로 정렬하여 출력하는 제2 데이터정렬수단

을 포함하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

【청구항 2】

제1항에 있어서, 상기 제1 제어신호생성수단은,

상기 파이프래치 인 신호를 입력받는 인버터;

상기 인버터의 출력과 스타트오드 스타트이븐 데이터 출력 제어신호를 입력으로 하는 제1 낸드게이트; 및

상기 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트

를 포함하고,

상기 제1 낸드게이트로부터의 피세소신호와 상기 제2 낸드게이트로부터의 피소세신호를 출력하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

【청구항 3】

제2항에 있어서, 상기 제2 제어신호생성수단은,

기수번째 데이터를 출력하기 위한 기수데이터인에이블신호와 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 기수데이터정렬제어신호생성부; 및

우수번째 데이터를 출력하기 위한 우수데이터인에이블신호와 스타트 어드레스에 대응하여 우수번째 데이터를 정렬하기 위한 제어신호의 논리결합에 의해 생성된 제어신호를 출력하기 위한 우수데이터정렬제어신호생성부

를 포함하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.

【청구항 4】

제3항에 있어서, 상기 기수데이터정렬제어신호생성부는,

기수번째 데이터를 출력하기 위한 기수데이터인에이블신호를 입력으로 하는 제1 인버터;

상기 제1 인버터의 출력과 스타트 어드레스에 대응하여 기수번째 데이터를 정렬하기 위한 제어신호를 입력으로 하는 제1 낸드게이트;

상기 제1 인버터의 출력과 상기 제1 낸드게이트의 출력을 입력으로 하는 제2 낸드게이트;

상기 제2 낸드게이트의 출력을 반전시키는 제2 인버터;

상기 제1 낸드게이트의 출력을 반전시키는 제3 인버터;

클럭펄스의 라이징 엣지에 동기되어 출력되는 라이징엣지동기신호와 상기 제2 인버터의 출력을 입력으로 하는 제3 낸드게이트; 및

상기 라이징엣지동기신호와 상기 제3 인버터의 출력을 입력으로 하는 제4 낸드게이트

를 포함하고,

상기 제3 낸드게이트로부터 선 기수 데이터 출력 제어 신호를, 상기 제4 낸드게이트로부터 후 기수 데이터 출력 제어 신호를 각기 출력하는 것을 특징으로 하는 데이터 정렬 시간을 최소화할 수 있는 반도체 기억 장치.